

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**


IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

Original document**BEST AVAILABLE COPY****SEMICONDUCTOR MODULE**

Patent number: JP2003309246
Publication date: 2003-10-31
Inventor: KOMIYAMA MITSURU
Applicant: OKI ELECTRIC IND CO LTD
Classification:
- international: H01L25/065; H01L25/07; H01L25/18
- european:
Application number: JP20030132851 19990426
Priority number(s):

Also published as:

 JP2003309246 (A)[View INPADOC patent family](#)**Abstract of JP2003309246**

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of being used under stacked condition, and a semiconductor module employing the semiconductor device.

SOLUTION: The semiconductor module is constituted of a semiconductor chip 101 on which an integrated circuit having a plurality of external terminals 104 on the main surface thereof is formed, a semiconductor layer 110 and a tape 108 having a structure wherein the conductive layer 110 is pinched by insulation layers 109, 113. The main surface of the semiconductor chip 101 is covered by a passivation film 105. The tape 108 is extended from the main surface of the semiconductor chip 101 to the rear surface of the same and is fixed to the semiconductor chip 101 on the main surface side and the rear surface side of the same, respectively. Further, the conductive layer 110 is electrically connected to the plurality of external terminals 104 and is exposed from openings 103a, 103b which are formed on the insulation layers 113 positioned on the main surface and the rear surface of the semiconductor chip 101, respectively.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2003-309246

(P2003-309246A)

(43)公開日 平成15年10月31日(2003.10.31)

(51)Int.Cl. ⁷	識別記号	F I	テ-コ-ト*(参考)
H 0 1 L 25/065		H 0 1 L 25/08	Z
25/07			
25/18			

審査請求 有 請求項の数 6 O L (全 11 頁)

(21)出願番号 特願2003-132851(P2003-132851)
(62)分割の表示 特願平11-117442の分割
(22)出願日 平成11年4月26日(1999.4.26)

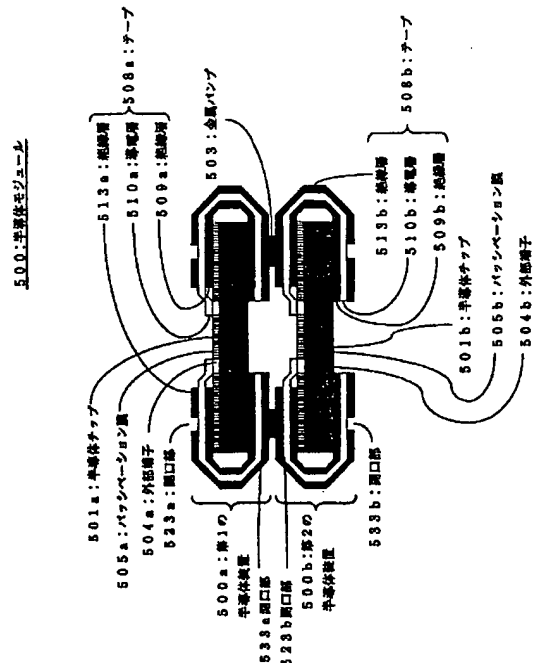
(71)出願人 000000295
沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72)発明者 小宮山 充
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内
(74)代理人 100089093
弁理士 大西 健治

(54)【発明の名称】 半導体モジュール

(57)【要約】

【目的】 積み重ねて使用することが可能な半導体装置および、この半導体装置を用いた半導体モジュールを提供する。

【構成】 主表面に複数の外部端子104を有する集積回路を形成された半導体チップ101と、導電層110およびこの導電層110を、絶縁層109、113で挟む構造からなるテープ108とから構成される。また、半導体チップ101の主表面は、パッシベーション膜105で覆われている。テープ108は、半導体チップ101の主表面から裏面まで延在し、かつ半導体チップ101の主表面側および裏面側の夫々で半導体チップ101と固着されている。さらに、導電層110は、複数の外部端子104と電氣的に接続され、かつ、半導体チップ101の主表面および裏面の夫々に位置する絶縁層113に形成された開口部103aおよび103bから露出されている。



【特許請求の範囲】

【請求項1】 表面に電極が形成された半導体チップと、
前記半導体チップの前記表面と前記半導体チップの裏面とに固着された、絶縁層に挟まれた導電層を有するテープと、
前記半導体チップの前記表面側の前記絶縁層に設けられた前記導電層を露出する第1の開口部と、前記半導体チップの前記裏面側の前記絶縁層に設けられた前記導電層を露出する第2の開口部とを含み、
前記第1の開口部から露出した前記導電層と前記第2の開口部から露出した前記導電層とが互いに電氣的に導通している前記テープを有する半導体装置を複数互いに積層し、互いに隣り合う前記半導体装置の前記第1の開口部と前記第2の開口部をそれぞれ接続して構成される半導体モジュール。

【請求項2】 請求項1記載の半導体モジュールにおいて、前記第1の開口部と前記第2の開口部との接続は、前記第1の開口部および前記第2の開口部内に充填された金属バンプにより行われることを特徴とする半導体モジュール。

【請求項3】 請求項1または2いずれかに記載の半導体装置において、前記半導体チップの前記表面上に配置された前記テープの前記絶縁層から前記導電層が突出しており、前記導電層の前記突出した部分が前記半導体チップの前記電極に接続されていることを特徴とする半導体モジュール。

【請求項4】 請求項3記載の半導体装置において、前記導電層の前記突出した部分を封止する封止樹脂を含むことを特徴とする半導体モジュール。

【請求項5】 請求項1～4のいずれかに記載の半導体装置において、前記テープと前記半導体チップとの間には緩衝膜が設けられていることを特徴とする半導体モジュール。

【請求項6】 請求項1～5のいずれかに記載の半導体装置において、前記半導体チップの側面と前記裏面とが樹脂で覆われていることを特徴とする半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は μ BGA(μ Ball Grid Array)型半導体装置に関し、特に、積み重ね可能な μ BGA型半導体装置に関するものである。

【0002】

【従来の技術】図13は従来の μ BGA型半導体装置の断面構造図を示す。図13に示すように、従来の μ BGA型半導体装置1300は、主表面に複数の外部端子1304を有する集積回路が形成された半導体チップ1301と、導電層1310、およびこの導電層1310を絶縁層1309、および絶縁層1313で挟む構造からな

るテープ1308とから構成される。ここで、例えば導電層1310はCu、絶縁層1309はポリイミドやガラスエポキシ、絶縁層1313はソルダーレジストから構成される。

【0003】また、半導体チップ1301の主表面は、バッシベーション膜1305で覆われている。

【0004】さらに、導電層1310は、複数の外部端子1304と電氣的に接続され、かつ、絶縁層1313に形成された開口部1303aから露出される。

10 【0005】さらに、テープ1308は、緩衝膜1307、例えばエラストマーを介して、バッシベーション膜1305上に固着されている。

【0006】そして、導電層1310と外部端子1304との接続部は、樹脂1302で覆われている。

【0007】

【発明が解決しようとする課題】しかしながら、従来の μ BGA型半導体装置は、外部装置、例えば他の半導体装置と電氣的に接続可能な接続部、つまり開口部1303aから露出する導電層1310が半導体チップ1301の主表面のみに形成された構造となっているので、複数の半導体装置を積み重ねて実装することが困難であった。

【0008】本発明は、複数の半導体装置の積み重ね実装を容易にする半導体装置及び半導体モジュールを提供することを目的とする。

【0009】

【課題を解決するための手段】そこで本発明の半導体装置は、主表面に複数の外部端子を有する集積回路が形成された半導体チップと、半導体チップの主表面から半導体チップの裏面まで延在し、かつ半導体チップの主表面側及び裏面側の夫々で半導体チップと固着されるテープとを有し、テープは、導電層と、この導電層を挟む絶縁層とからなり、かつ導電層と複数の外部端子とが電氣的に接続され、かつ半導体チップの主表面及び裏面の夫々に位置する絶縁層に導電層を露出する開口部を夫々に有することを特徴とする。

30 【0010】また、本発明の半導体モジュールは、主表面に複数の外部端子を有する集積回路が形成された半導体チップと、半導体チップの主表面から半導体チップの裏面まで延在し、かつ半導体チップの主表面側及び裏面側の夫々で半導体チップと固着されるテープとを有し、テープは、導電層と、この導電層を挟む絶縁層とからなり、かつ導電層と複数の外部端子とが電氣的に接続され、かつ半導体チップの主表面及び裏面の夫々に位置する絶縁層に導電層を露出する開口部を有する第1の半導体装置と、前記開口部で露出する前記導電層表面と電氣的に接続されているパッドを有する第2の半導体装置とを有することを特徴とする。

【0011】

50 【発明の実施の形態】図1は本発明の第1の実施の形態

の半導体装置について説明するための断面図である。以下、図1を用いて本発明の第1の実施の形態の半導体装置について説明する。

【0012】この半導体装置100は、主表面に複数の外部端子104を有する集積回路を形成された半導体チップ101と、導電層110、およびこの導電層110を絶縁層109、および113で挟む構造からなるテープ108とから構成される。ここで、例えば導電層110はCu、絶縁層109はポリイミドやガラスエポキシ、絶縁層113はソルダーレジストなどから構成される。

【0013】また、半導体チップ101の主表面は、パッシベーション膜105で覆われている。

【0014】テープ108は、半導体チップ101の主表面から裏面まで延在し、かつ半導体チップ101の主表面側および裏面側の夫々で半導体チップ101と固着されている。

【0015】さらに、導電層110は、複数の外部端子104と電気的に接続され、かつ、半導体チップ101の主表面および裏面の夫々に位置する絶縁層113に形成された開口部103aおよび103bから露出されている。

【0016】上述した通り、本発明の第1の実施の形態の半導体装置100では、第1に、半導体装置100の主表面側に開口部103a、裏面側に開口部103bを有するので、開口部103aから露出する導電層110、もしくは、開口部103bから露出する導電層110、もしくは、これら両方と、外部装置、例えば他の半導体装置と電気的に接続できる。つまり、複数の半導体装置の積み重ね実装を容易にすることができる。第2に、開口部103aから露出する導電層110、もしくは、開口部103bから露出する導電層110の一方が他の半導体装置との接続に用いる場合、他方は半導体装置100自身の電気的テストに用いることができる。

【0017】本発明の第1の実施の形態の半導体装置において、開口部103aおよび開口部103bから夫々露出する導電層110は、金属パンプなどを介して、他の半導体装置などと接続することができる。この場合は、絶縁層113にソルダーレジストなどの、溶かした金属に対して濡れ性が低い絶縁層を用いると、金属パンプを正確に取りつけることができる。

【0018】さらに、テープ108の代わりに、フレキシブルテープを用いてもよい。

【0019】図2は本発明の第2の実施の形態の半導体装置について説明するための断面図である。以下、図2を用いて本発明の第2の実施の形態の半導体装置について説明する。

【0020】この半導体装置200は、本発明の第1の実施の形態の半導体装置100とほぼ同様の構成のため、詳しい説明は省略する。本実施の形態は、本発明の

第1の実施の形態の半導体装置100において、テープ108は、緩衝膜207、例えばエラストマーを介して半導体チップ101と固着することを特徴とする。

【0021】本発明の第2の実施の形態の半導体装置200は、本発明の第1の実施の形態の半導体装置100と同様の効果を奏することは言うまでもない。さらに、上記のようにテープ108は緩衝膜207を介して半導体チップ101と固着されている。緩衝膜207は熱収縮率の差により、テープ108が半導体チップ101から剥がれるのを防ぐように働く。したがって、本発明の第1の実施の形態の半導体装置100の構造に比して、よりテープ108と半導体チップ101が、剥がれにくい構造が得られる。

【0022】図3は本発明の第3の実施の形態の半導体装置について説明するための断面図である。以下、図3を用いて本発明の第3の実施の形態の半導体装置について説明する。

【0023】この半導体装置300は、本発明の第1の実施の形態の半導体装置100とほぼ同様の構成のため、詳しい説明は省略する。本実施の形態は、本発明の第1の実施の形態の半導体装置100において、導電層110と外部端子104との接続部が樹脂302で覆われていることを特徴とする。

【0024】本発明の第3の実施の形態の半導体装置300は、本発明の第1の実施の形態の半導体装置100と同様の効果を奏することは言うまでもない。さらに、上記のように導電層110と外部端子104との接続部が樹脂302で覆われている。このため、本発明の第1の実施の形態の半導体装置100の構造に比して、外部端子104と導電層110が剥がれにくい、堅固な構造を得ることができる。

【0025】図4は本発明の第4の実施の形態の半導体装置について説明するための断面図である。以下、図4を用いて本発明の第4の実施の形態の半導体装置について説明する。

【0026】この半導体装置400は、本発明の第1の実施の形態の半導体装置100とほぼ同様の構成のため、詳しい説明は省略する。本実施の形態は、本発明の第1の実施の形態の半導体装置100において、導電層110と外部端子104との接続部を樹脂302が覆い、さらには半導体チップ101の側面および裏面を、樹脂406が夫々覆うことを特徴とする。

【0027】本発明の第4の実施の形態の半導体装置400は、本発明の第1の実施の形態の半導体装置100と同様の効果を奏することは言うまでもない。さらに、上記のように導電層110と外部端子104との接続部を樹脂302が覆い、さらには半導体チップ101の側面および裏面を、樹脂406が夫々覆っている。このため、本発明の第1の実施の形態の半導体装置100の構造に比して、半導体チップ101の主表面方向からの外

力に対してより強い、堅固な構造を得ることができる。

【0028】図5は本発明の第1の実施の形態の半導体モジュールについて説明するための断面図である。以下、図5を用いて本発明の第1の実施の形態の半導体モジュールについて説明する。

【0029】この半導体モジュール500は、第1の半導体装置500a、及び第2の半導体装置500bから構成される。ここで、第2の半導体装置500bは、第1の半導体装置500aと同一の構成であるため、第2の半導体装置500bの説明は、第1の半導体装置500aの説明により省略する。

【0030】この半導体装置500aは、主表面に複数の外部端子504aを有する集積回路を形成された半導体チップ501aと、導電層510a、およびこの導電層510aを絶縁層509a、513aで挟む構造からなるテープ508aとから構成される。ここで、例えば導電層510aはCu、絶縁層509aはポリイミドやガラスエポキシ、絶縁層513aはソルダーレジストから構成される。

【0031】また、半導体チップ501aの主表面は、バッシンション膜505aで覆われている。

【0032】テープ508aは、半導体チップ501aの主表面から裏面まで延在し、かつ半導体チップ501aの主表面側および裏面側の夫々で半導体チップ501aと固着されている。

【0033】さらに、導電層510aは、複数の外部端子504aと電気的に接続され、かつ、半導体チップ501aの主表面および裏面の夫々に位置する絶縁層513aに形成された開口部523aおよび533aから露出されている。

【0034】上述したように本発明の第1の実施の形態の半導体モジュール500は、第1の半導体装置500aの開口部533aから露出する導電層510aが、金属バンプ503を介して、第2の半導体装置500bの開口部523bから露出する導電層510bと接続される。このようにして、第1および第2の半導体装置500a、500bからなる半導体モジュール500が得られる。

【0035】本発明の第1の実施の形態の半導体モジュール500は、上述のような構造を有するので、テープを有する半導体装置の積み重ね実装を容易に行うことが可能となり、かつ容易に実装できるため、実装工程が簡易なため、コストを下げることも可能となる。

【0036】図6は本発明の第2の実施の形態の半導体モジュールについて説明するための断面図である。以下、図6を用いて本発明の第2の実施の形態の半導体モジュールについて説明する。

【0037】この半導体モジュール600は、本発明の第1の実施の形態の半導体モジュール500とほぼ同様の構成のため、詳しい説明は省略する。本発明の第2の

実施の形態の半導体モジュール600の半導体装置600aおよび600bにおいて、テープ608a、およびテープ608bは、夫々緩衝膜607aおよび607b、例えばエラストマーを介して、半導体チップ601a、及び半導体チップ601bと固着されていることを特徴とする。

【0038】本発明の第2の実施の形態の半導体モジュール600では、本発明の第1の実施の形態の半導体モジュール500と同様の効果を奏することは言うまでもない。さらに、上記のように緩衝膜607aを有するので、これら緩衝膜607a、607bは熱収縮率の差により、半導体チップ601aとテープ608a、半導体チップ601bとテープ608bが夫々剥がれるのを防ぐように働く。したがって、本発明の第1の実施の形態の半導体モジュール500の構造に比して、半導体チップ601aとテープ608a、半導体チップ601bとテープ608b夫々が剥がれにくい構造が得られる。

【0039】図7は本発明の第3の実施の形態の半導体モジュールについて説明するための断面図である。以下、図7を用いて本発明の第3の実施の形態の半導体モジュールについて説明する。

【0040】この半導体モジュール700は、本発明の第1の実施の形態の半導体モジュール500とほぼ同様の構成のため、詳しい説明は省略する。本発明の第3の実施の形態の半導体モジュール700の半導体装置700aおよび700bにおいて、導電層710aと外部端子704a、導電層710bと外部端子704bの夫々の接続部が、夫々樹脂702aおよび702bで覆われていることを特徴とする。

【0041】本発明の第3の実施の形態の半導体モジュール700は、本発明の第1の実施の形態の半導体モジュール500と同様の効果を奏することは言うまでもない。さらに、上記のように導電層710aと外部端子704a、導電層710bと外部端子704bの夫々の接続部が、夫々樹脂702aおよび702bで覆われている。このため、本発明の第1の実施の形態の半導体モジュール500の構造に比して、導電層710aと外部端子704a、導電層710bと外部端子704bが夫々剥がれにくい、堅固な構造を得ることができる。

【0042】図8は本発明の第4の実施の形態の半導体モジュールについて説明するための断面図である。以下、図8を用いて本発明の第4の実施の形態の半導体モジュールについて説明する。

【0043】この半導体モジュール800は、本発明の第1の実施の形態の半導体モジュール500とほぼ同様の構成のため、詳しい説明は省略する。本発明の第4の実施の形態の半導体モジュール800の半導体装置800aおよび800bにおいて、導電層810aと外部端子804aとの接続部を樹脂802aが覆い、半導体チップ801aの側面および裏面を樹脂806aが覆い、

導電層 810b と外部端子 804b との接続部を樹脂 802b が覆い、および半導体チップ 801b の側面および裏面を樹脂 806b が夫々覆うことを特徴とする。

【0044】本発明の第4の実施の形態の半導体モジュール 800 は、本発明の第1の実施の形態の半導体モジュール 500 と同様の効果を奏することは言うまでもない。さらに、上記のように導電層 810a と外部端子 804a との接続部を樹脂 802a が覆い、半導体チップ 801a の側面および裏面を樹脂 806a が覆い、導電層 810b と外部端子 804b との接続部を樹脂 802b が覆い、および半導体チップ 801b の側面および裏面を樹脂 806b が夫々覆っている。このため、本発明の第1の実施の形態の半導体モジュール 500 の構造に比して、半導体チップ 801a および 801b の主表面方向からの外力に対してより強い、堅固な構造を得ることができる。

【0045】図9は本発明の第5の実施の形態の半導体モジュールについて説明するための断面図である。以下、図9を用いて本発明の第5の実施の形態の半導体モジュールについて説明する。

【0046】この半導体モジュール 900 は、半導体装置 900a およびプリント配線基板 920 から構成される。

【0047】この半導体装置 900a は、主表面に複数の外部端子 904 を有する集積回路を形成された半導体チップ 901 と、導電層 910、およびこの導電層 910 を絶縁層 909、913 で挟む構造からなるテープ 908 とから構成される。ここで、例えば導電層 910 は Cu、絶縁層 909 はポリイミドやガラスエポキシ、絶縁層 913 はソルダーレジストから構成される。

【0048】また、半導体チップ 901 の主表面は、パッシベーション膜 905 で覆われている。

【0049】テープ 908 は、半導体チップ 901 の主表面から裏面まで延在し、かつ半導体チップ 901 の主表面側および裏面側の夫々で半導体チップ 901 と固着されている。

【0050】さらに、導電層 910 は、複数の外部端子 904 と電気的に接続され、かつ、半導体チップ 901 の主表面および裏面の夫々に位置する絶縁層 913 に形成された開口部 903a および 903b から露出されている。

【0051】この半導体装置 900a の開口部 903b で露出する導電層 910 の表面が、金属バンプ 903 を用いて、プリント配線基板 920 上のパッド 921 と電気的に接続されている。ここで、パッド 921 は、例えば Ni-Au または半田から構成されている。

【0052】上述したように本発明の第5の実施の形態の半導体モジュール 900 は、導電層 910 を露出する開口部 903a が半導体チップ 901 の主表面側に設けられている。したがって、半導体装置 900a とプリン

ト配線基板 920 との積み重ね実装を容易にする。さらに、実装に用いられなかった半導体装置の開口部 903a から露出する導電層 910 は、半導体装置 900a とプリント配線基板 920 とが接続されているか否かの電気的テストに用いることができる。

【0053】図10は本発明の第6の実施の形態の半導体装置モジュールについて説明するための断面図である。以下、図10を用いて本発明の第6の実施の形態の半導体モジュールについて説明する。

【0054】この半導体モジュール 1000 は、本発明の第5の実施の形態の半導体モジュール 900 とほぼ同様の構成のため、詳しい説明は省略する。本発明の第6の実施の形態の半導体モジュール 1000 の半導体装置 1000a において、テープ 1008 が緩衝膜 1007、例えばエラストマーを介して、半導体チップ 1001 と固着されていることを特徴とする。

【0055】本発明の第6の実施の形態の半導体モジュール 1000 は、本発明の第5の実施の形態の半導体モジュール 900 と同様の効果を奏することは言うまでもない。さらに、上記のような緩衝膜 1007 を有するので、この緩衝膜 1007 は熱収縮率の差により、テープ 1008 が半導体チップ 1001 から剥がれるのを防ぐように働く。したがって、本発明の第5の実施の形態の半導体モジュール 900 の構造に比して、よりテープ 1008 と半導体チップ 1001 が剥がれにくい構造が得られる。

【0056】図11は本発明の第7の実施の形態の半導体装置モジュールについて説明するための断面図である。以下、図11を用いて本発明の第7の実施の形態の半導体モジュールについて説明する。

【0057】この半導体モジュール 1100 は、本発明の第5の実施の形態の半導体モジュール 900a とほぼ同様の構成のため、詳しい説明は省略する。本発明の第7の実施の形態の半導体モジュール 1100 の半導体装置 1100a において、導電層 1110 と外部端子 1104 との接続部が樹脂 1102 で覆われていることを特徴とする。

【0058】本発明の第7の実施の形態の半導体モジュール 1100 は、本発明の第5の実施の形態の半導体モジュール 900 と同様の効果を奏することは言うまでもない。さらに、上記のように導電層 1110 と外部端子 1104 との接続部が樹脂 1102 で覆われている。このため、本発明の第5の実施の形態の半導体モジュール 900 の構造に比して、外部端子 1104 と導電層 1110 が剥がれにくい、堅固な構造を得ることができる。

【0059】図12は本発明の第8の実施の形態の半導体装置モジュールについて説明するための断面図である。以下、図12を用いて本発明の第8の実施の形態の半導体モジュールについて説明する。

【0060】この半導体モジュール 1200 は、本発明

の第5の実施の形態の半導体モジュール900とはほぼ同様の構成のため、詳しい説明は省略する。本発明の第8の実施の形態の半導体モジュール1200の半導体装置1200aにおいて、導電層1210と外部端子1204との接続部を樹脂1202が覆い、さらには半導体チップ1201の側面および裏面を、樹脂1206が夫々覆うことを特徴とする。

【0061】本発明の第8の実施の形態の半導体モジュール1200は、本発明の第5の実施の形態の半導体モジュール900と同様の効果を奏することは言うまでもない。さらに、上記のように導電層1210と外部端子1204との接続部を樹脂1202が覆い、さらには半導体チップ1201の側面および裏面を、樹脂1206が夫々覆っている。このため、本発明の第5の実施の形態の半導体モジュール900の構造に比して、半導体チップ1201の主表面方向からの外力に対してより強い、堅固な構造を得ることができる。

【0062】

【発明の効果】本発明の半導体モジュールは、第1に、半導体装置の主表面側に開口部、裏面側に開口部を有するので、開口部から露出する導電層、もしくは、開口部から露出する導電層、もしくは、これら両方と、外部装置、例えば他の半導体装置と電気的に接続できる。つまり、複数の半導体装置の積み重ね実装を容易にすることができる。第2に、開口部から露出する導電層、もしくは、開口部から露出する導電層の一方が他の半導体装置との接続に用いる場合、他方は半導体装置自身の電気的テストに用いることができる。

【0063】また、本発明の半導体モジュールにおいて、第1の半導体装置は、開口部から露出する導電層を介して、第2の半導体装置または、プリント配線基板と接続される。したがって、本発明の半導体モジュールは、複数の半導体装置の積み重ね実装を容易に行うことが可能となり、かつ容易に実装できるため、実装工程が簡易なため、コストを下げることも可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の構造

を断面図で示すものである。

【図2】本発明の第2の実施の形態の半導体装置の構造を断面図で示すものである。

【図3】本発明の第3の実施の形態の半導体装置の構造を断面図で示すものである。

【図4】本発明の第4の実施の形態の半導体装置の構造を断面図で示すものである。

【図5】本発明の第1の実施の形態の半導体モジュールの構造を断面図で示すものである。

10 【図6】本発明の第2の実施の形態の半導体モジュールの構造を断面図で示すものである。

【図7】本発明の第3の実施の形態の半導体モジュールの構造を断面図で示すものである。

【図8】本発明の第4の実施の形態の半導体モジュールの構造を断面図で示すものである。

【図9】本発明の第5の実施の形態の半導体モジュールの構造を断面図で示すものである。

【図10】本発明の第6の実施の形態の半導体モジュールの構造を断面図で示すものである。

20 【図11】本発明の第7の実施の形態の半導体モジュールの構造を断面図で示すものである。

【図12】本発明の第8の実施の形態の半導体モジュールの構造を断面図で示すものである。

【図13】従来の μ BGA型半導体装置の構造の断面図を示すものである。

【符号の説明】

100：半導体装置

101：半導体チップ

103a：開口部

103b：開口部

104：外部端子

105：バッシベーション膜

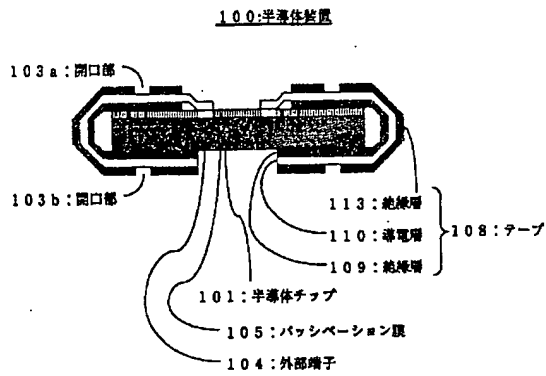
108：テープ

109：絶縁層

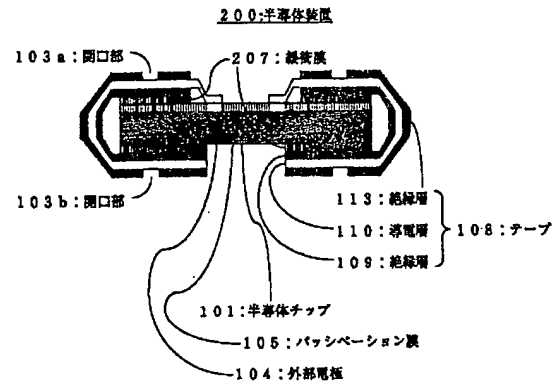
110：導電層

113：絶縁層

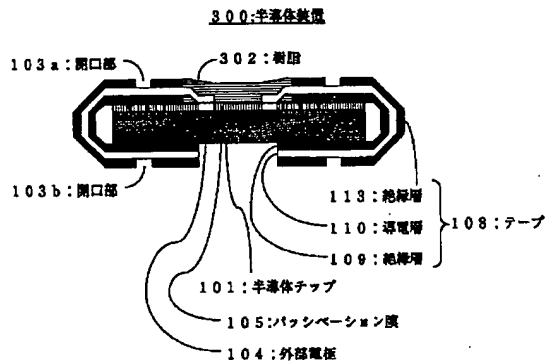
【図1】



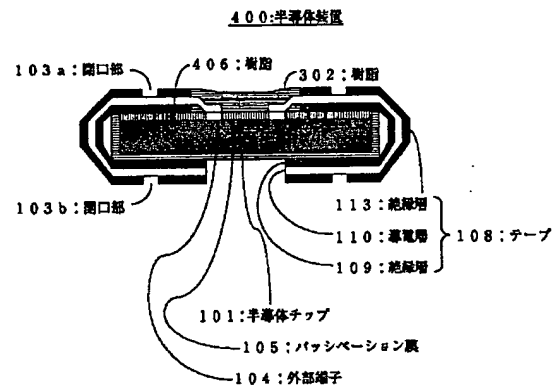
【図2】



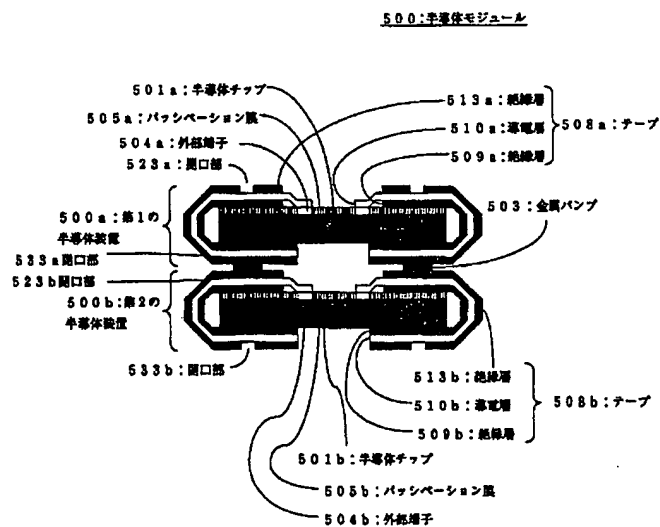
【図3】



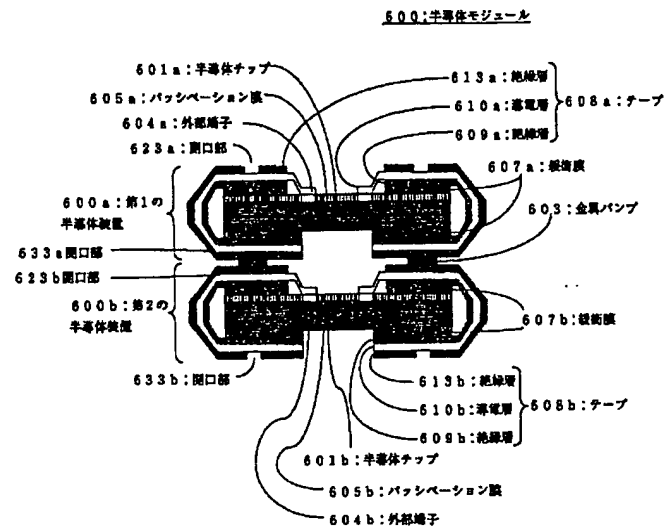
【図4】



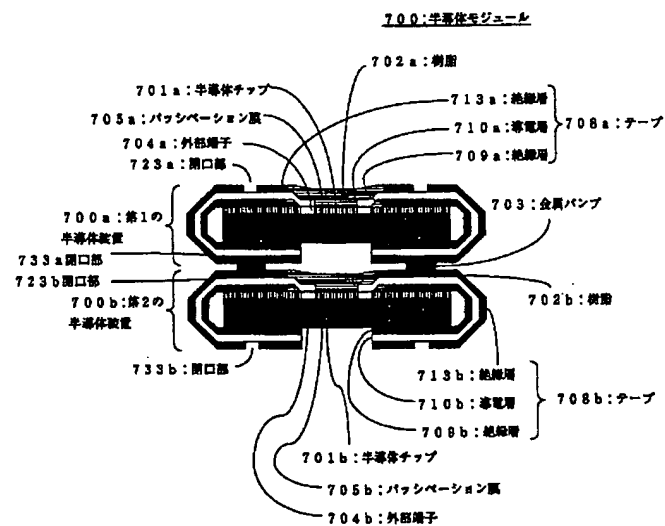
【図5】



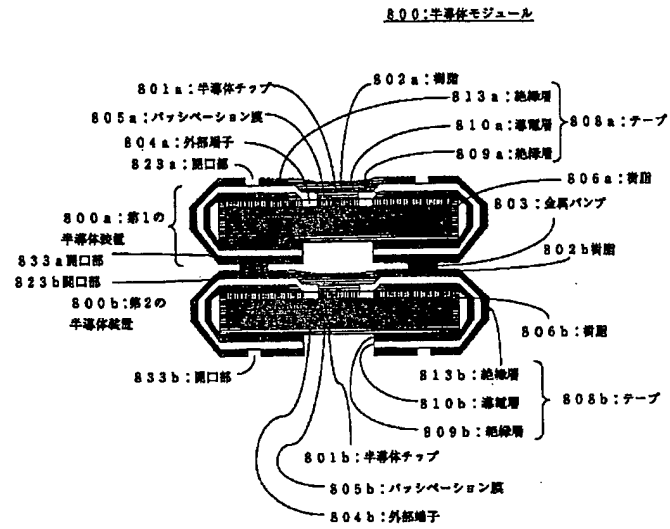
【図6】



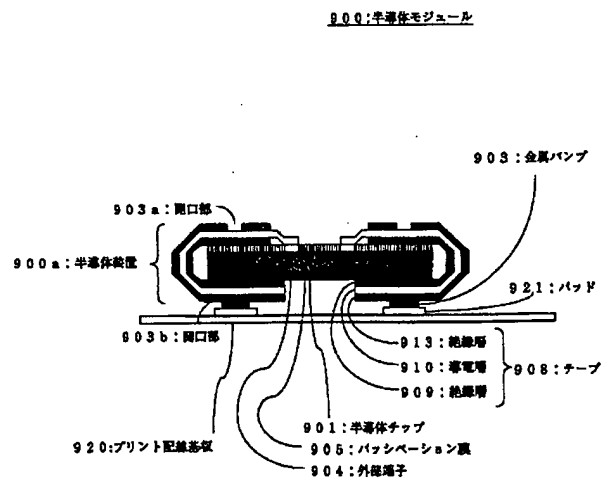
【図7】



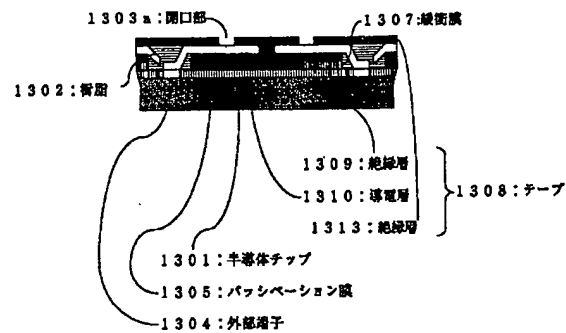
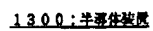
【図8】



【図9】



1000:半環体モジュール



1200:半導体モジュール

